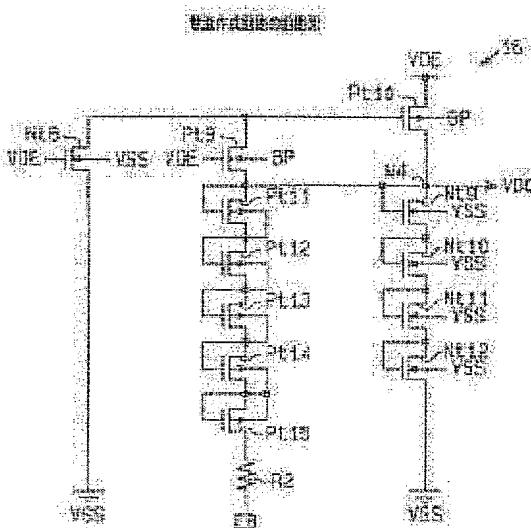


**INPUT OUTPUT BUFFER, INPUT BUFFER, AND OUTPUT BUFFER**

<b>Patent number:</b>	JP2004007212 (A)	<b>Also published as:</b>
<b>Publication date:</b>	2004-01-08	JP3947044 (B2)
<b>Inventor(s):</b>	YAJIMA HIDEAKI +	EP1369997 (A2)
<b>Applicant(s):</b>	FUJITSU LTD; FUJITSU VLSI LTD +	EP1369997 (A3)
<b>Classification:</b>		US2003222684 (A1)
- <b>international:</b>	<i>H03F1/52; H03F1/56; H03K19/003; H03K19/0175</i> ; (IPC1-7): H03F1/52; H03F1/56; H03K19/003; H03K19/0175	US6924673 (B2)
- <b>europen:</b>	H03K19/003C	<a href="#">more &gt;&gt;</a>
<b>Application number:</b>	JP20020159696 20020531	
<b>Priority number(s):</b>	JP20020159696 20020531	

**Abstract of JP 2004007212 (A)**

**PROBLEM TO BE SOLVED:** To provide an input output buffer capable of protecting its circuitry against a voltage signal received externally independently of application / non application of operating power. ; **SOLUTION:** The input output buffer is provided with a power supply generating circuit 16 that converts the voltage signal EB externally received into a proper level corresponding to a high level power supply VDE to generate a reference power supply VDO. The power supply generating circuit 16 is provided with diode-connected transistors Pt 11 to Pt 15, and the back-gates of the transistors Pt 11 to Pt 15 are connected to nodes having levels other than the levels of the high level power supply VDE and a low level power supply VSS. Thus, it is prevented that a high voltage is applied between the gate and the back-gate of the transistors Pt 11 to Pt 15 at the application of the external voltage signal EB to the input and output buffer independently of application / non application of the high level power supply VDE. ; **COPYRIGHT:** (C)2004,JPO





## 【特許請求の範囲】

## 【請求項 1】

高電位電源及び低電位電源に接続され、外部から入力される外部電圧信号の電位を前記高電位電源に対応する電位に変換して基準電源を生成する基準電源生成手段を備えた入出力バッファにおいて、

前記基準電源生成手段は、前記高電位電源の非供給時に前記外部電圧信号の電位を所定電位まで電圧降下させて前記基準電源を生成するための複数のMOSトランジスタからなる保護手段を備え、前記複数のMOSトランジスタのバックゲートは前記高電位電源及び低電位電源以外の電位を持つノードに接続されてなることを特徴とする入出力バッファ。

## 【請求項 2】

10

前記複数のMOSトランジスタはそれぞれがダイオード接続されており、各ダイオード接続された複数のMOSトランジスタのうち少なくとも何れか1つは、前記基準電源に対し逆バイアスとなる方向に接続されていることを特徴とする請求項1記載の入出力バッファ。

## 【請求項 3】

前記複数のMOSトランジスタは、それぞれNチャネルMOSトランジスタで構成されることを特徴とする請求項1又は2記載の入出力バッファ。

## 【請求項 4】

20

前記複数のMOSトランジスタは、それぞれPチャネルMOSトランジスタで構成されることを特徴とする請求項1又は2記載の入出力バッファ。

## 【請求項 5】

前記基準電源生成手段は、それが生成する前記基準電源と前記低電位電源との間に直列に接続された少なくとも2つのMOSトランジスタを含む電圧維持手段を備え、

前記少なくとも2つのMOSトランジスタのうち前記基準電源と接続されるMOSトランジスタのゲートには該基準電源の電位が入力され、他のMOSトランジスタのゲートには各々の高電位側となる端子の電位が入力されることを特徴とする請求項1乃至4の何れか一項記載の入出力バッファ。

## 【請求項 6】

前記少なくとも2つのMOSトランジスタは、それぞれNチャネルMOSトランジスタで構成されることを特徴とする請求項5記載の入出力バッファ。

30

## 【請求項 7】

外部から入力される外部電圧信号が抵抗を介してソースに入力され、該ソースとゲートとが互いに接続され、動作電源として与えられる高電位電源に対応した電位を持つ基準電源が抵抗分圧されてドレインに入力されるNチャネルMOSトランジスタと、前記外部電圧信号と基準電圧信号とを比較し、その比較結果に基づいて前記外部電圧信号の電位が予め定めた閾値電圧より高いか否かを判定するコンパレータと、を含む入力回路を備えたことを特徴とする入出力バッファ。

## 【請求項 8】

請求項1乃至6の何れか一項記載の基準電源生成手段を備えたことを特徴とする請求項7記載の入出力バッファ。

40

## 【請求項 9】

請求項1乃至6の何れか一項記載の基準電源生成手段及び請求項7記載の入力回路の少なくとも何れか一方を備えたことを特徴とする入出力バッファ。

## 【請求項 10】

請求項1乃至6の何れか一項記載の基準電源生成手段を備えたことを特徴とする出力バッファ。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、入出力バッファ、入力バッファ及び出力バッファに関する。

50

近年、マルチメディア化の進展が著しく、A D S L, 無線L A Nなどの普及に相俟って、一般の家庭内におけるパーソナルコンピュータ（パソコン）の普及率が高くなってきている。これに伴い、パソコンやそれに接続される周辺機器等の低消費電力化が要求されており、それらの回路を微細化して低電圧で動作させるようにしている。こうした低電圧動作する回路では、電源が供給されていない場合やその動作電圧以上の電圧信号が入力される場合にも回路を保護することが必要である。

#### 【0002】

##### 【従来の技術】

通常、パソコンは、バスや入出力ポート（I / Oポート）を介してディスプレイ、マウス、プリンタ、記憶装置、モデム、ゲーム機器などの周辺機器と接続可能であり、それらを接続して使用される。

10

#### 【0003】

バスは、内部バスと外部バスとに類別され、内部バスはC P Uとメモリとを接続し、外部バスはC P UとI / O機器（グラフィックボードやS C S Iボードなど）とを接続する。尚、外部バスとしては、例えばI S A（I ndustrial S tandard A rc h i t e c t u r e）、P C I（P eripheral C omponent I nte r c o n n e c t）、S C S I（S mall C omputer S ystem I n t e r f a c e）、I E E E 1 3 9 4、U S B（U niversal S erial B u s）、I D E（I nte g r a t e d D r i v e E lect r o n i c s；A T A（A T A t t a c h m e n t））などがある。

20

#### 【0004】

I / Oポートは、パソコン等と外部の周辺機器とを接続するためのインターフェースであって、一般にポート専用のコネクタを備えている。尚、I / Oポートとしては、例えばマウスやモデム等を接続するためのシリアルポート、プリンタ等を接続するためのパラレルポート、ゲーム機器等を接続するためのゲームポート等を含む。

#### 【0005】

図19は、例えばジョイスティックを接続可能とするゲームポート（ジョイスティックポート）の接続ピンの配置例を示す説明図である。このジョイスティックポートのコネクタ71は、例えば+5 V（ボルト）の電源端子と、デジタル入力端子と、アナログ入力端子と、グランド端子とを含み、2つのジョイスティックA, Bを接続可能である。

30

#### 【0006】

+5 Vの電源端子は、一般にマザーボードに直接接続されていることが多い、この電源端子を介して電流を供給することが可能である。

デジタル入力端子には、ポートに接続されたジョイスティックA, Bの各ボタンからの入力信号（図中、A 1, A 2, B 1, B 2）が入力される（尚、ここではジョイスティックA, Bがそれぞれ2つずつのボタンを備えている場合を説明する）。このデジタル入力端子には、ジョイスティックA, Bのボタンが押されている場合に例えばLレベル（0 V）の信号が入力され、逆に押されていない場合にはHレベルの信号が入力される。

#### 【0007】

アナログ入力端子には、ジョイスティックA, Bからの入力信号（図中、A X, A Y, B X, B Y）が、それらジョイスティックA, Bに設けられた抵抗値に応じたレベルで入力される。

40

#### 【0008】

詳述すると、このジョイスティックポートには、図20に示すようにワンショットマルチバイブレータ（以下、マルチバイブレータ）72が設けられ、マルチバイブレータ72は入出力バッファ73を介してアナログ入力端子に接続されている。アナログ入力端子とマルチバイブレータ72の出力端子との間には例えば2. 2 k $\Omega$ の抵抗74が接続され、そのマルチバイブレータ72の出力端子とグランド端子との間には0. 0 1 1  $\mu$  Fのタイミング用コンデンサ75が接続されている。また、ジョイスティックA, Bにはポテンショメータとしての可変抵抗76（0 ~ 1 0 0 k $\Omega$ ）が設けられ、その可変抵抗76は+5 V

50

の電源端子とアナログ入力端子との間に接続されている。

【0009】

この構成では、ジョイスティックA, Bからの入力があると、マルチバイブレータ72が作動してHレベル(5V)の信号が出力される。そして、このHレベルの出力信号によってコンデンサ75が充電され、そのコンデンサ75の電位が3.3Vになると、マルチバイブレータ72はLレベル(0V)の信号を出力する。従って、マルチバイブレータ72からHレベルの信号が出力される時間は、ジョイスティックA, Bに設けられた可変抵抗76の抵抗値に比例した時間となる。換言すれば、可変抵抗76の抵抗値に応じてジョイスティックA, Bの位置情報を検出することが可能である。

【0010】

ところで、近年では、パソコンやそれに接続される周辺機器等の低消費電力化に伴い、それらを接続するためのインターフェース(I/Oポート)の動作電圧が低電圧化してきている。しかしながら、機器に使用される回路によっては、それぞれ異なる電源電圧にて動作するものがあり、I/Oポートに備えられる入出力バッファは、その動作電圧よりも高い電圧信号が入力される場合にもそれらの電圧信号に対応可能とする必要がある。

10

【0011】

例えば、上述したジョイスティックA, Bを接続したジョイスティックポートの入出力バッファ73の電源電圧が3.3Vである場合において、その入出力バッファ73の入力端子にはジョイスティックA, Bを動作させるための5Vの電圧信号が入力される。従って、この場合、入出力バッファ73はその動作電圧(3.3V)よりも高い電圧信号(5V)の入力に対応可能とするように構成する必要がある。

20

【0012】

従来、こうした入出力バッファとして例えば以下のよう構成がある。

第1従来例：トレラント(Tolerant)機能を有した入出力バッファ。

第2従来例：入出力バッファ内にてその動作電圧よりも高い電圧信号が直接印加される回路部分だけ耐圧機能を有した入出力バッファ。

【0013】

図21は、トレラント機能を有した入出力バッファ(第1従来例)のブロック回路図である。この入出力バッファ81は、入出力回路82と、それに接続される入力回路83、出力回路84及びトレラント回路85とを備える。

30

【0014】

入出力回路82は、外部入力信号としての電圧信号EBを、入力回路83及びトレラント回路85に出力する。トレラント回路85は、入力される電圧信号EBに応じた電位を持つ電圧信号BPを生成する。そして、入力回路83は、電圧信号EB(外部入力信号)を適切な電位に調整して生成した信号Xを図示しない内部回路に出力する。

40

【0015】

出力回路84には内部回路からのデータ信号A及び出力制御信号Cが入力される。この出力回路84は、データ信号Aを入力すると、出力制御信号Cに基づいて生成した制御信号AP, ANを入出力回路82に出力する。そして、入出力回路82は、それら制御信号AP, ANに応答して生成した電圧信号EBを外部へ出力する。

【0016】

以下、この入出力バッファ81の各回路の具体的構成を説明する。尚、出力回路84は一般的な回路・動作であるため、ここでは詳細な説明を省略する。

図22は、入出力回路82の具体的構成を示す回路図である。

【0017】

この入出力回路82は、PチャネルMOSトランジスタ(以下、PMOSトランジスタ)Pt1, Pt2及びNチャネルMOSトランジスタ(以下、NMOSトランジスタ)Nt1, Nt2を備える。

【0018】

トランジスタPt1のソースは第1の高電位電源VDEに接続され、そのゲートには出力

50

回路 8 4 から出力される制御信号 A P が入力される。また、トランジスタ P t 1 のドレインはトランジスタ P t 2 のソースと接続されている。トランジスタ P t 2 のゲートは低電位電源 V S S と接続され、そのドレインはトランジスタ N t 1 のドレインと接続されている。

【0019】

トランジスタ P t 1, P t 2 は直列接続され、トランジスタ P t 1 のソースは高電位電源 V D E に接続されている。また、トランジスタ N t 1, N t 2 は直列接続され、トランジスタ N t 2 のソースは低電位電源 V S S に接続されている。トランジスタ P t 2, N t 1 のドレインは互いに接続され、その接続点（ノード N 1）は電圧信号 E B の入出力端子 8 2 a と接続されている。ここで、第 1 の高電位電源 V D E は入出力バッファ 8 1 と接続される外部回路に動作電圧を供給するための電源であり、例えば 3.3 V の電源電圧である。また、低電位電源 V S S はグランド（G N D）である。

10

【0020】

トランジスタ P t 1 のゲートには出力回路 8 4 から出力される制御信号 A P が入力される。また、このトランジスタ P t 1 のバックゲートはトレラント回路 8 5 の出力と接続され、該トレラント回路 8 5 により生成される電圧信号 B P の電位と略同電位を持つ。トランジスタ P t 2 のゲートは低電位電源 V S S と接続され、そのバックゲートは前記と同様にトレラント回路 8 5 の出力と接続され、電圧信号 B P の電位と略同電位を持つ。

20

【0021】

トランジスタ N t 1 のゲートは高電位電源 V D E と接続され、そのバックゲートは低電位電源 V S S と接続されている。トランジスタ N t 2 のゲートには出力回路 8 4 から出力される制御信号 A N が入力され、そのバックゲートは低電位電源 V S S と接続されている。

20

【0022】

図 23 は、トレラント回路 8 5 の具体的構成を示す回路図である。このトレラント回路 8 5 は、入力保護抵抗としての抵抗 R 1 及び PMOS トランジスタ P t 3 ~ P t 5 を備える。

30

【0023】

抵抗 R 1 の一端は上記入出力回路 8 2 におけるノード N 1（入出力端子 8 2 a）と接続され、他端はトランジスタ P t 3 のゲートに接続される。即ち、トランジスタ P t 3 のゲートには、入出力回路 8 2 に入力される電圧信号 E B（外部入力信号として）を抵抗 R 1 が電圧降下した電位を持つ電圧信号 E B R が入力される。このトランジスタ P t 3 のソースは高電位電源 V D E に接続され、ドレインはトランジスタ P t 4 のソースと接続されている。トランジスタ P t 4, P t 5 は直列接続され、それらのゲートは高電位電源 V D E に接続されている。そのトランジスタ P t 5 のドレインは、上記抵抗 R 1 とトランジスタ P t 3 との接続ノード N 2 に接続されている（即ち、トランジスタ P t 3 のゲート電位（電圧信号 E B R）が入力される）。

30

【0024】

そして、各トランジスタ P t 3 ~ P t 5 のバックゲートは、他のトランジスタのバックゲートと互いに接続されるとともにトランジスタ P t 3, P t 4 の接続ノードと接続され、該接続ノードの電位を持つ電圧信号 B P がトレラント回路 8 5 から出力される。

40

【0025】

図 24 は、入力回路 8 3 の具体的構成を示す回路図である。

この入力回路 8 3 は、PMOS トランジスタ P t 6 ~ P t 8 及び NMOS トランジスタ N t 3 ~ N t 7 を備える。

40

【0026】

トランジスタ N t 3 のドレインは高電位電源 V D E に接続され、そのソースとゲートは互いに接続されている。トランジスタ N t 4, N t 5 は直列接続され、それらのゲートは高電位電源 V D E に接続されている。そのトランジスタ N t 5 のソースは、上記トレラント回路 8 5 における抵抗 R 1 とトランジスタ P t 3 との接続ノード N 2 に接続されている。即ち、トランジスタ N t 5 のソースには、トランジスタ P t 3 のゲート電位（電圧信号 E

50

B R) が入力される。そして、トランジスタ N t 4 のドレイン及びトランジスタ N t 3 のソースは互いに接続され、その接続ノード N 3 の電位がトランジスタ P t 7, N t 6 のゲートに入力される。尚、各トランジスタ N t 3 ~ N t 5 のバックゲートはそれぞれ低電位電源 V S S に接続されている。

【0027】

トランジスタ P t 6 のソースは高電位電源 V D E に接続され、ゲートは上記トレラント回路 8 5 における抵抗 R 1 とトランジスタ P t 3 との接続ノード N 2 と接続されている。即ち、トランジスタ P t 6 のゲートには、トランジスタ P t 3 のゲート電位（電圧信号 E B R）が入力される。このトランジスタ P t 6 のドレインはトランジスタ P t 7 のソースに接続され、トランジスタ P t 7 及びトランジスタ N t 6 のドレインは互いに接続されている。そのトランジスタ N t 6 のソースは低電位電源 V S S に接続されている。尚、トランジスタ P t 6, P t 7 のバックゲートはトレラント回路 8 5 の出力と接続され、該トレラント回路 8 5 により生成される電圧信号 B P の電位と略同電位を持つ。トランジスタ N t 6 のバックゲートは低電位電源 V S S に接続されている。

10

【0028】

トランジスタ P t 8, N t 7 のゲートには、トランジスタ P t 7, N t 6 のドレイン電位が入力される。トランジスタ P t 8 のソースは第 2 の高電位電源 V D I に接続され、トランジスタ P t 8 及びトランジスタ N t 7 のドレインは互いに接続されている。そのトランジスタ N t 7 のソースは低電位電源 V S S に接続されている。ここで、第 2 の高電位電源 V D I は、内部回路に動作電圧を供給するための電源であり、例え 1.8 V の電源電圧である。尚、トランジスタ P t 8 のバックゲートはその高電位電源 V D I と接続され、トランジスタ N t 7 のバックゲートは低電位電源 V S S に接続されている。そして、トランジスタ P t 8, N t 7 のドレイン電位を持つ信号 X が図示しない内部回路に出力される。

20

【0029】

以下、このように構成された入出力バッファ 8 1 に電圧信号 E B (外部入力信号) が入力される場合について説明する。

【1. 電圧信号 E B が低電位電源 V S S 付近の電圧である場合】

この場合、トレラント回路 8 5 において、トランジスタ P t 3 がオンする。従って、トレラント回路 8 5 は、高電位電源 V D E の電位を持つ電圧信号 B P を出力する。

30

【0030】

一方、入力回路 8 3 において、トランジスタ P t 6 がオンし、トランジスタ P t 7 のソースには高電位電源 V D E の電位が入力される。また、このときトランジスタ N t 4, N t 5 は高電位電源 V D E によってオンし、トランジスタ N t 3 はオフしている。これにより、トランジスタ P t 7, N t 6 のゲートには電圧信号 E B R が入力され、それに応答してトランジスタ P t 7 がオンし、トランジスタ N t 6 がオフする。その結果、トランジスタ P t 8, N t 7 のゲートには高電位電源 V D E が入力され、それに応答してトランジスタ P t 8 がオフし、トランジスタ N t 7 がオンする。従って、入力回路 8 3 は、低電位電源 V S S の電位、即ち L レベルの信号 X を出力する。

【0031】

【2. 電圧信号 E B が高電位電源 V D E 付近（但し、E B < V D E）の電圧である場合】

この場合、トレラント回路 8 5 において、トランジスタ P t 3 ~ P t 5 はオンしにくい状態となり、それらが実質的に直列抵抗として機能する。従って、トレラント回路 8 5 は、電圧信号 E B R、即ち高電位電源 V D E と略同電位を持つ電圧信号 B P を出力する。

40

【0032】

一方、入力回路 8 3 において、トランジスタ P t 6 はオフする。また、このときトランジスタ N t 3 ~ N t 5 は、ゲート-ソース間電圧が小さくなっていることによりオンしにくい状態であるが、トランジスタ P t 7, N t 6 のゲートには高電位電源 V D E よりも若干電位の低い電圧信号（例え 3.3 V の高電位電源 V D E に対して 3.1 V 程度）が入力される。この電圧信号に応答してトランジスタ P t 7 がオフし、トランジスタ N t 6 がオンする。その結果、トランジスタ P t 8, N t 7 のゲートには低電位電源 V S S が入力さ

50

れ、それに応答してトランジスタ P<sub>t</sub> 8 がオンし、トランジスタ N<sub>t</sub> 7 がオフする。従って、入力回路 8 3 は、高電位電源 V<sub>D</sub>I の電位、即ち H レベルの信号 X を出力する。

#### 【0033】

【3. 電圧信号 E<sub>B</sub> が高電位電源 V<sub>D</sub>E を超える電圧である場合】  
この場合、トレラント回路 8 5において、トランジスタ P<sub>t</sub> 5 は、そのソース電位（電圧信号 E<sub>B</sub>R）がゲート電位（高電位電源 V<sub>D</sub>E）よりも高い電位であるためにオンする。これにより、トランジスタ P<sub>t</sub> 4 も同様にしてオンする。従って、トレラント回路 8 5 は、電圧信号 E<sub>B</sub> に連動した電位、即ち電圧信号 E<sub>B</sub> と略同電位を持つ電圧信号 B<sub>P</sub> を出力する。

#### 【0034】

一方、入力回路 8 3において、トランジスタ P<sub>t</sub> 6 はオフする。また、このときトランジスタ N<sub>t</sub> 4 は、そのソース電位（電圧信号 E<sub>B</sub>R）がゲート電位（高電位電源 V<sub>D</sub>E）よりも高い電位であるためにオフする。同様にしてトランジスタ N<sub>t</sub> 5 もオフする。しかしながら、トランジスタ N<sub>t</sub> 3 のゲート電位は上昇するため、該トランジスタ N<sub>t</sub> 3 はオンする。これにより、トランジスタ P<sub>t</sub> 7, N<sub>t</sub> 6 のゲートには、高電位電源 V<sub>D</sub>E よりもトランジスタ N<sub>t</sub> 3 の閾値電圧分下がった電圧信号が入力され、それに応答してトランジスタ P<sub>t</sub> 7 がオフし、トランジスタ N<sub>t</sub> 6 がオンする。その結果、トランジスタ P<sub>t</sub> 8, N<sub>t</sub> 7 のゲートには低電位電源 V<sub>S</sub>S が入力され、それに応答してトランジスタ P<sub>t</sub> 8 がオンし、トランジスタ N<sub>t</sub> 7 がオフする。従って、入力回路 8 3 は、高電位電源 V<sub>D</sub>I の電位、即ち H レベルの信号 X を出力する。

#### 【0035】

ここで、上記したようにトランジスタ P<sub>t</sub> 6, P<sub>t</sub> 7 のバックゲートは電圧信号 B<sub>P</sub> の電位（電圧信号 E<sub>B</sub> に応じて調整した電位）を持つ。これにより、電圧信号 E<sub>B</sub> が高電位電源 V<sub>D</sub>E を超える電圧の場合であっても、ゲート電位がバックゲート電位より高くなることによるそれらトランジスタ P<sub>t</sub> 6, P<sub>t</sub> 7 でのリーク電流の発生が防止される。従って、入出力バッファ 8 1 は、その動作電圧（3.3V）よりも高い電圧信号 E<sub>B</sub>（例えば 5V）を持つ外部入力信号が入力される場合にも、該電圧信号 E<sub>B</sub> を適切な電位（内部回路用の動作電圧）に調整して出力することが可能である。

#### 【0036】

ところで、このような入出力バッファ 8 1においては、それに電源（高電位電源 V<sub>D</sub>E）が供給されていない場合（即ち非動作時）に素子の損傷やリーク電流が生じるという問題があった。通常、パソコン等では、それが使用されていない場合にも電源回路には電力が供給され続けている。その際には、非動作時の入出力バッファ 8 1 に、それと接続されている外部回路から電圧信号が入力される場合がある。この場合、電源電圧以上の電圧が回路素子に印加されることになり、素子の損傷やリーク電流が発生することになる。

#### 【0037】

詳述すると、入出力バッファ 8 1 に電源（高電位電源 V<sub>D</sub>E）が供給されていない時に外部からの高い電圧信号 E<sub>B</sub> が入力されると、トランジスタ P<sub>t</sub> 2 のゲートードレイン間、トランジスタ N<sub>t</sub> 1, P<sub>t</sub> 3, P<sub>t</sub> 5, P<sub>t</sub> 6, N<sub>t</sub> 5 のゲートーソース間には該電源 V<sub>D</sub>E を超える電圧が印加される。つまり、この場合には、それらトランジスタのゲート酸化膜に動作電圧以上の高電圧が印加されることによりゲートードレイン間／ゲートーソース間の短絡が生じ、その結果、素子の損傷やリーク電流を発生させてしまう可能性があった。このため、こうした入出力バッファ 8 1 では、ホット・プラグ機能を備える機器等に対応することができないという問題も有していた。

#### 【0038】

因みに、上述した所定の回路部分にのみ耐圧機能を有した入出力バッファ（第 2 従来例）では、高電圧信号に直接曝されるトランジスタのゲート酸化膜を厚く形成し、その他のトランジスタは通常の厚さのゲート酸化膜で形成する必要があるため、回路の価格と処理時間が増大するという問題があった。

#### 【0039】

10

20

30

40

50

そこで、これらの問題を解決するための一手段として、例えば特開2000-29551号公報では、以下に記述するバッファ保護回路が用いられている。

図25は、そのバッファ保護回路としての従来の電圧生成器の回路図である。

【0040】

電圧生成器91は、PMOSトランジスタ92～94及びNMOSトランジスタ95～97を有する。トランジスタ92のソース及びトランジスタ95のゲートは電源VDDに接続されている。このトランジスタ95のドレインはトランジスタ92のゲート入力として用いられ、ソースは電源VSS(グランド)に接続されている。また、一対のトランジスタ96, 97はダイオード接続され、前記トランジスタ92のドレインと端子PADとの間に直列に接続されている。

10

【0041】

この電圧生成器91は、電源VDDが存在する場合には、電源VDDと略同電位を持つ基準電圧VDD2を生成する。一方、電圧生成器91は、電源VDDが存在しない場合には、端子PADに入力される電圧信号の電位から少なくともダイオード2個分の電圧ドロップの電位を持つ基準電圧VDD2を生成する。このように、電圧生成器91は、端子PADに入力される電圧信号を適切な電位に調節して基準電圧VDD2を生成する。これにより、電源VDDの有無に依らず、端子PADに入力される高電圧信号から回路を保護するようしている。

20

【0042】

【発明が解決しようとする課題】

しかしながら、上記電圧生成器91(図25)は、以下の問題を有していた。(1)端子PADから入力される高電圧信号に直接曝されているトランジスタ96, 97のバックゲートは電源VSS(グランド)と接続されている。これにより、電源VDDが存在しない場合(VDD=0)にそれらトランジスタ96, 97のゲート-バックゲート間に高電圧がかかり、デバイスの劣化が生じる。この問題は、トランジスタ96, 97をPMOSトランジスタで構成した場合にも同様に生じる。

30

【0043】

(2)ダイオード接続されたトランジスタ96, 97での電圧ドロップを十分に制御するために、トランジスタ94を用いて端子PADから電源VSSへのDCパスが形成されている。ところが、この構成では、電源VDDが電源VSSと略同電位になり、トランジスタ94がオン状態になると、基準電圧VDD2の電位が低下してしまい、目的とする電圧レベルを持つ基準電圧VDD2を生成することができなくなってしまう。因みに、このトランジスタ94をNMOSトランジスタで構成し、そのゲート入力を電源VSSにした場合には、電流が流れるパスが無くなってしまう。その結果、端子PADから入力される高電圧信号を適正な電位にまで降下させて基準電圧VDD2を生成することができなくなる。

40

【0044】

(3)トランジスタ96, 97は、端子PAD-NP(逆方向)-NP-ノードAの順にダイオード接続されている。このため、ノードAの電位が端子PADのそれより大きくなつた場合(例えば電源VDDが供給され、端子PADに現れる電圧信号が電源VSS(グランド)の電位である場合)には、ノードAから端子PAD(ダイオードの順方向)に電流が流れることにより、基準電圧VDD2の電位が低下する。その結果、前記(2)と同様に、目的とする電圧レベルを持つ基準電圧VDD2を生成することができなくなってしまう。因みに、両トランジスタ96, 97をPMOSトランジスタで構成すると、端子PADに高電圧信号が入力される場合に、ジャンクション温度等の影響によって各PMOSトランジスタの抵抗が大きくなり、それらにかかる電位差が大きくなつてデバイスに損傷が生じる。

40

【0045】

本発明は上記問題点を解決するためになされたものであつて、その目的は動作電源の供給時/非供給時に関わらず、外部から入力される電圧信号に対して回路を保護することでの

50

きる入出力バッファ、入力バッファ及び出力バッファを提供することにある。

【0046】

【課題を解決するための手段】

上記目的を達成するため、請求項1～6に記載の発明によれば、外部から入力される外部電圧信号の電位を高電位電源に対応する電位に変換して基準電源を生成する基準電源生成手段には、バックゲートが高電位電源及び低電位電源以外の電位を持つノードに接続された複数のMOSトランジスタからなる保護手段が設けられている。そして、高電位電源の非供給時、保護手段は、複数のMOSトランジスタによって外部電圧信号の電位を所定電位まで電圧降下させて前記基準電源を生成する。これにより、動作電源（高電位電源）の供給時／非供給時に関わらずに、外部電圧信号の入力に対する回路素子の損傷やリーク電流の発生が防止され、また、電源供給時においては入出力バッファの動作を安定させることができる。

10

【0047】

請求項2に記載の発明によれば、前記複数のMOSトランジスタはそれがダイオード接続されて構成されており、それらのうち少なくとも何れか1つは、前記基準電源に対して逆バイアスとなる方向に接続されている。これにより、それら複数のMOSトランジスタを介して流れるリーク逆流電流が防止され、基準電源の電位を目的とする電位に精度よく維持することが可能である。

【0048】

請求項3に記載の発明によれば、前記複数のMOSトランジスタは、それぞれNチャネルMOSトランジスタで構成されている。従って、N型シリコン基板を用いてレイアウトする場合において、そのレイアウト面積を小さくすることが可能であり、レチクル枚数や処理工程が増大することによる製造コストの増加を抑止することができる。

20

【0049】

請求項4に記載の発明によれば、前記複数のMOSトランジスタは、それぞれPチャネルMOSトランジスタで構成されている。従って、P型シリコン基板を用いてレイアウトする場合において、そのレイアウト面積を小さくすることが可能であり、レチクル枚数や処理工程が増大することによる製造コストの増加を抑止することができる。

【0050】

請求項5に記載の発明によれば、前記基準電源生成手段は、それが生成する基準電源と低電位電源との間に直列に接続された少なくとも2つのMOSトランジスタを含む電圧維持手段を備え、それらMOSトランジスタのうち基準電源と接続されるMOSトランジスタのゲートには該基準電源の電位が入力され、他のMOSトランジスタのゲートには各々の高電位側となる端子の電位が入力される。これにより、それらMOSトランジスタを介して流れるリーク電流を微小な電流とすることができるため、生成された基準電圧の電位を精度よく維持することが可能である。

30

【0051】

請求項6に記載の発明によれば、前記少なくとも2つのMOSトランジスタはそれぞれNチャネルMOSトランジスタで構成されている。

請求項7に記載の発明によれば、外部から入力される外部電圧信号が抵抗を介してソースに入力され、該ソースとゲートとが互いに接続され、動作電源として与えられる高電位電源に対応した電位を持つ基準電源が抵抗分圧されてドレインに入力されるNチャネルMOSトランジスタと、前記外部電圧信号と基準電圧信号とを比較し、その比較結果に基づいて該外部電圧信号の電位が予め定めた閾値電圧より高いか否かを判定するコンパレータと、を含む入力回路が入出力バッファに備えられている。これにより、前記NチャネルMOSトランジスタのソース～ゲート間電圧が該NチャネルMOSトランジスタの閾値電圧よりも低くなるような場合であっても、入力される外部電圧信号の電圧レベルを正確に認識することが可能となる。従って、ジョイスティックポート等に備える入出力バッファとして特に有用な構成とすることができる。

40

【0052】

50

請求項 8 に記載の発明によれば、請求項 1 乃至 6 の何れか一項記載の基準電源生成手段と請求項 7 記載の入力回路とを備えた入出力バッファを構成することができる。

【0053】

請求項 9 に記載の発明によれば、請求項 1 乃至 6 の何れか一項記載の基準電源生成手段及び請求項 7 記載の入力回路の少なくとも何れか一方を備えた入力バッファを構成することができる。

【0054】

請求項 10 に記載の発明によれば、請求項 1 乃至 6 の何れか一項記載の基準電源生成手段を備えた出力バッファを構成することができる。

【0055】

10

【発明の実施の形態】

(第一実施形態)

以下、本発明を具体化した第一実施形態を図 1 ~ 図 9 に従って説明する。

【0056】

図 1 は、本実施形態の入出力バッファのブロック回路図である。尚、図 2 1 に示す入出力バッファ 8 1 と同様な構成部分には同一符号を付し、その詳細な説明を一部省略する。

【0057】

入出力バッファ 1 1 は、入出力回路 1 2 、入力回路 1 3 、出力回路 1 4 、トレラント回路 1 5 及び電源作成回路 1 6 を備える。

入出力回路 1 2 は、外部入力信号としての電圧信号 E B を入力回路 1 3 、トレラント回路 1 5 及び電源作成回路 1 6 に出力する。電源作成回路 1 6 は、入出力バッファ 1 1 の動作電源（基準電源）を生成する回路であり、電圧信号 E B の電位に応じて生成した基準電源 V D 0 を入出力回路 1 2 、入力回路 1 3 及びトレラント回路 1 5 に出力する。トレラント回路 1 5 は、入力される電圧信号 E B に応じた電位を持つ電圧信号 B P を生成する。そして、入力回路 1 3 は、電源作成回路 1 6 が生成する基準電源 V D 0 に基づいて、電圧信号 E B （外部入力信号）を適切な電位に調整して生成した信号 X を図示しない内部回路に出力する。

【0058】

出力回路 1 4 には内部回路からのデータ信号 A 及び出力制御信号 C が入力される。この出力回路 1 4 は、データ信号 A を入力すると、出力制御信号 C に基づいて生成した制御信号 A P , A N を入出力回路 1 2 に出力する。そして、入出力回路 1 2 は、それら制御信号 A P , A N に応答して生成した電圧信号 E B を出力信号として出力する。

30

【0059】

以下、この入出力バッファ 1 1 の各回路の具体的構成を説明する。尚、入出力回路 1 2 、トレラント回路 1 5 及び入力回路 1 3 において、図 2 2 ~ 図 2 4 で説明した回路と同様の構成部分にはそれぞれ同一符号を付してその詳細な説明を一部省略する。また、出力回路 1 4 は一般的な回路・動作であるため、ここでは詳細な説明を省略する。

【0060】

図 2 は、入出力回路 1 2 の具体的構成を示す回路図である。

入出力回路 1 2 は、P M O S トランジスタ P t 1 , P t 2 及びN M O S トランジスタ N t 1 , N t 2 を備える。

40

【0061】

この入出力回路 1 2 において、トランジスタ P t 1 のソース及びトランジスタ N t 1 のゲートには電源作成回路 1 6 により生成される基準電源 V D 0 が入力される。その他の構成は図 2 2 に示す入出力回路 8 2 と同様に構成されている。

【0062】

図 3 は、トレラント回路 1 5 の具体的構成を示す回路図である。

トレラント回路 1 5 は、保護抵抗としての抵抗 R 1 及びP M O S トランジスタ P t 3 ~ P t 5 を備える。

【0063】

50

このトレラント回路 15において、トランジスタ Pt 3 のソース及びトランジスタ Pt 4, Pt 5 のゲートには電源作成回路 16 により生成される基準電源 VD0 が入力される。その他の構成は図 23 に示すトレラント回路 85 と同様に構成されている。

【0064】

図 4 は、入力回路 13 の具体的構成を示す回路図である。

入力回路 13 は、PMOS トランジスタ Pt 6 ~ Pt 8 及び NMOS トランジスタ Nt 3 ~ Nt 7 を備える。

【0065】

この入力回路 13 において、トランジスタ Pt 6 のソース、トランジスタ Nt 3 のドレイン及びトランジスタ Nt 4, Nt 5 のゲートには電源作成回路 16 により生成される基準電源 VD0 が入力される。その他の構成は図 24 に示す入力回路 83 と同様に構成されている。

【0066】

図 5 は、電源作成回路 16 の具体的構成を示す回路図である。

電源作成回路 16 は、PMOS トランジスタ Pt 9 ~ Pt 15、NMOS トランジスタ Nt 8 ~ Nt 12 及び抵抗 R2 を備える。

【0067】

トランジスタ Nt 8, Pt 9 のゲート及びトランジスタ Pt 10 のソースは、高電位電源 VDE (本実施形態では例えば 3.3V) に接続されている。トランジスタ Nt 8 のソースは、低電位電源 VSS (グランド) に接続され、ドレインはトランジスタ Pt 9 のソース及びトランジスタ Pt 10 のゲートと接続されている。尚、トランジスタ Nt 8 のバックゲートは低電位電源 VSS に接続され、トランジスタ Pt 9, Pt 10 のバックゲートはトレラント回路 15 (図 3) の出力と接続され、該トレラント回路 15 により生成される電圧信号 BP の電位と略同電位を持つ。

【0068】

トランジスタ Pt 9 のドレインには、トランジスタ Pt 11 ~ Pt 14 が直列に接続され、トランジスタ Pt 14 には各トランジスタ Pt 11 ~ 14 と接続方向が逆方向になるようにトランジスタ Pt 15 が接続されている。そのトランジスタ Pt 15 のドレインには ESD (Electro Static discharge) 保護のための抵抗 R2 を介して電圧信号 EB が入力される。

【0069】

トランジスタ Nt 9 ~ Nt 12 は直列に接続され、各ゲートは各々のドレインと接続され、バックゲートは低電位電源 VSS に接続されている。また、トランジスタ Nt 12 のソースは低電位電源 VSS に接続され、トランジスタ Nt 9 のドレインはトランジスタ Pt 10 のドレイン及びトランジスタ Pt 11 のソースと接続されている。そして、電源作成回路 16 は、ノード N4 の電位を持つ基準電源 VD0 を出力する。

【0070】

このように構成される電源作成回路 16 において、それぞれダイオード接続された (ダイオードとして機能するように接続された) トランジスタ Pt 11 ~ Pt 15 は、保護回路として機能する。

【0071】

図 6 は、その保護回路におけるトランジスタ構造を示す説明図である。

同図に示すように、トランジスタ Pt 11 ~ Pt 15 は、例えば P 型シリコン基板上に形成された PMOS トランジスタであって、それらのゲートは各々のソースと接続されている。また、トランジスタ Pt 11 ~ Pt 14 のバックゲートは各々のドレインと接続され、トランジスタ Pt 15 のバックゲートは該トランジスタ Pt 15 のソースと接続されている。

【0072】

これにより、トランジスタ Pt 11 ~ Pt 14 は、基準電源 VD0 に対してそれぞれ順方向 (PN) となるように接続され、トランジスタ Pt 15 は、それらトランジスタ Pt 1

10

20

30

40

50

1～P<sub>t</sub>14と逆方向となるように接続される。即ち、トランジスタP<sub>t</sub>11～P<sub>t</sub>15は、基準電源V<sub>D</sub>0に対して、「P<sub>N</sub>—P<sub>N</sub>—P<sub>N</sub>—P<sub>N</sub>—N<sub>P</sub>」となるようにダイオード接続されている。

【0073】

次に、本実施形態の入出力バッファ11の作用について図7を参照しながら説明する。尚、図7は、電源作成回路16の動作例を示す説明図である。

まず、入出力バッファ11に電源（高電位電源V<sub>D</sub>E=3.3V）が供給されている場合について説明する。

【0074】

この場合、電源作成回路16において、トランジスタN<sub>t</sub>8はオンされ、そのオンしたトランジスタN<sub>t</sub>8を介してトランジスタP<sub>t</sub>10のゲートに低電位電源V<sub>S</sub>Sが入力される。これにより、トランジスタP<sub>t</sub>10はオンされる。

【0075】

この状態では、電源作成回路16は、図7に示すように、入力される電圧信号E<sub>B</sub>（外部入力信号）の電位に関わらず、高電位電源V<sub>D</sub>E（3.3V）の電位を持つ基準電源V<sub>D</sub>0を生成して出力する。因みに、このとき高電位電源V<sub>D</sub>Eより高い電位（例えば6V）を持つ電圧信号E<sub>B</sub>が入力される場合においても、その電位がトランジスタN<sub>t</sub>11～N<sub>t</sub>15により高電位電源V<sub>D</sub>E（3.3V）の電位まで電圧降下されることにより略3.3Vの基準電源V<sub>D</sub>0が出力される。

【0076】

次いで、入出力バッファ11に電源が供給されていない場合（即ち高電位電源V<sub>D</sub>Eが実質的に0Vとなる場合）について説明する。

この場合、電源作成回路16において、トランジスタN<sub>t</sub>8はオフされ、トランジスタP<sub>t</sub>9はオンされる。これにより、トランジスタP<sub>t</sub>10はオフされ、電源作成回路16は、図7に示すように、入力される電圧信号E<sub>B</sub>に応じた電位を持つ基準電源V<sub>D</sub>0を生成する。

【0077】

詳述すると、例えば低電位電源V<sub>S</sub>Sと略同電位を持つ電圧信号E<sub>B</sub>が入力される場合、基準電源V<sub>D</sub>0は、低電位電源V<sub>S</sub>S即ち0Vとなる。

また、高電位電源V<sub>D</sub>Eと略同電位（3.3V程度）を持つ電圧信号E<sub>B</sub>が入力される場合、電源作成回路16は、その電圧信号E<sub>B</sub>の電位をトランジスタP<sub>t</sub>11～P<sub>t</sub>15により電圧降下した電位を持つ基準電源V<sub>D</sub>0（図中、2.07V）を生成する。

【0078】

同様にして、高電位電源V<sub>D</sub>Eより高い電位（例えば6V）を持つ電圧信号E<sub>B</sub>が入力される場合、電源作成回路16は、その電圧信号E<sub>B</sub>の電位をトランジスタP<sub>t</sub>11～P<sub>t</sub>15により電圧降下した電位を持つ基準電源V<sub>D</sub>0（図中、3.62V）を生成する。

【0079】

このように、電源作成回路16は、電源（高電位電源V<sub>D</sub>E）が供給されていない状態で、電圧信号E<sub>B</sub>が入力される場合であっても、約3V程度の基準電源V<sub>D</sub>0を生成する。

【0080】

ここで、ノードN4と低電位電源V<sub>S</sub>Sとの間には複数（本実施形態では4つ）のトランジスタN<sub>t</sub>9～N<sub>t</sub>12が接続されている。このため、トランジスタN<sub>t</sub>9～N<sub>t</sub>12を介して流れるリーク電流は小さい（例えば、この場合、トランジスタN<sub>t</sub>9～N<sub>t</sub>12のゲート電圧がそれぞれ3.3V、2.16V、1.24V、0.52Vとなり、トランジスタN<sub>t</sub>9～N<sub>t</sub>12のパスでのリーク電流はnAオーダーに抑えられる）。

【0081】

また、トランジスタP<sub>t</sub>11～P<sub>t</sub>15のパスを流れるリーク逆流電流は、トランジスタP<sub>t</sub>15がトランジスタP<sub>t</sub>11～P<sub>t</sub>14に対して逆方向（N<sub>P</sub>）に接続されている（逆バイアスとなる）ため、発生することはない。

【0082】

10

20

30

40

50

さらに、トランジスタ P<sub>t</sub>11～P<sub>t</sub>15 のゲートは、電圧降下時における電位の低い側（ソース側）に接続されているため、それらトランジスタ P<sub>t</sub>11～P<sub>t</sub>15 は安定して動作する。これにより、抵抗成分の増大によるデバイスの劣化や基準電源 V<sub>D0</sub> の電位変動を抑えて、目的とする基準電源 V<sub>D0</sub> を精度よく生成することが可能である。

【0083】

加えて、電源作成回路 16 は、ESD 保護のための抵抗 R<sub>2</sub> を備えている。これにより、電圧信号 E<sub>B</sub> の電位が激しく変化した場合にも基準電源 V<sub>D0</sub> の電位変動が抑えられる。

【0084】

そして、この電源作成回路 16 により生成された基準電源 V<sub>D0</sub> が、入出力回路 12、入力回路 13 及び出力回路 14 に供給される。これにより、高電位電源 V<sub>DE</sub> が供給される時／供給されない時に関わらず、且つ入力される電圧信号 E<sub>B</sub> の電位に関わらず入出力バッファ 11 での素子の損傷やリーク電流の発生が防止される。

【0085】

尚、本実施形態の電源作成回路 16 において、保護回路として構成されるトランジスタ P<sub>t</sub>11～P<sub>t</sub>15 を、図 8 に示すように NMOS トランジスタ N<sub>t</sub>13～N<sub>t</sub>17 により構成してもよい。詳述すると、トランジスタ N<sub>t</sub>13 は、基準電源 V<sub>D0</sub> に対して逆方向（N P）となるように接続され、他のトランジスタ N<sub>t</sub>14～N<sub>t</sub>17 は、そのトランジスタ N<sub>t</sub>13 と接続方向が逆になるように接続される。即ち、トランジスタ N<sub>t</sub>13～N<sub>t</sub>17 は、基準電源 V<sub>D0</sub> に対して、「N P—P N—P N—P N—P N」となるようにダイオード接続されている。この場合には、トランジスタ N<sub>t</sub>13 によりリーク逆流電流を阻止することができる。

【0086】

また、このときトランジスタ N<sub>t</sub>13～N<sub>t</sub>17 のゲートは、電圧降下時における電位の高い側（即ちドレイン側）にそれぞれ接続されている。これにより、各トランジスタ N<sub>t</sub>13～N<sub>t</sub>17 を安定して動作させることができ、前記と同様に、抵抗成分の増大による基準電源 V<sub>D0</sub> の変動を抑えて、目的とする電位を持つ基準電源 V<sub>D0</sub> を精度よく生成することが可能である。

【0087】

このような NMOS トランジスタによる構成は、N 型シリコン基板上にレイアウトする場合に、上述した PMOS トランジスタで構成する場合に比べて有用である。即ち、N 型シリコン基板上に PMOS トランジスタ（トランジスタ P<sub>t</sub>11～P<sub>t</sub>15）をレイアウトする場合には、トランジスタ構造をトリプルウェルにする必要がある。このことは、レイアウト面積の増大に伴うレチカル枚数の増加及び処理工程の増加につながるため、コストが上昇する。従って、P 型シリコン基板を用いる場合は、PMOS トランジスタ（トランジスタ P<sub>t</sub>11～P<sub>t</sub>15）により構成し、N 型シリコン基板を用いる場合は、NMOS トランジスタ（トランジスタ N<sub>t</sub>13～N<sub>t</sub>17）により構成するのがよい。

【0088】

尚、この保護回路のその他の構成としては、例えば図 9 に示すように構成してもよい。即ち、図 9 (a) では、PMOS トランジスタ P<sub>t</sub>11～P<sub>t</sub>15 のバックゲート電圧が、それぞれのソース電圧と低電位電源 V<sub>SS</sub>との分圧にて生成される電位を持つように構成されている。各トランジスタ P<sub>t</sub>11～P<sub>t</sub>15 は、基準電源 V<sub>D0</sub> に対して「N P—N P—N P—N P」となるようにダイオード接続されている。また、図 9 (b) では、NMOS トランジスタ N<sub>t</sub>13～N<sub>t</sub>17 のバックゲート電圧が、それぞれのドレイン電圧と低電位電源 V<sub>SS</sub>との分圧にて生成される電位を持つように構成されている。各トランジスタ N<sub>t</sub>13～N<sub>t</sub>17 は、基準電源 V<sub>D0</sub> に対して「P N—P N—P N—P N—P N」となるようにダイオード接続される。これらの構成では、バックゲート電圧が低いことによる素子の損傷やリーク電流の発生を防止することができる。

【0089】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) 入出力バッファ 11 は、外部から入力される電圧信号 E<sub>B</sub> を高電位電源 V<sub>DE</sub> に対

10

20

30

40

50

応する適切な電位に変換して基準電源 V D 0 を生成する電源作成回路 1 6 を備える。電源作成回路 1 6 は、ダイオード接続されたトランジスタ P t 1 1 ~ P t 1 5 (保護回路) を備え、それらトランジスタ P t 1 1 ~ P t 1 5 のバックゲートは高電位電源 V D E 及び低電位電源 V S S 以外の電位を持つノードに接続されている。これにより、高電位電源 V D E の供給時／非供給時に関わらず、外部からの電圧信号 E B の入力時には各トランジスタ P t 1 1 ~ P t 1 5 のゲート～バックゲート間に高電圧が印加されることが防止されるため、それら素子の劣化及び損傷を防止することができる。

#### 【0090】

(2) 各トランジスタ P t 1 1 ~ P t 1 5 のうち、トランジスタ P t 1 1 ~ P t 1 4 は基準電源 V D 0 に対して順バイアスとなる方向(順方向)にダイオード接続され、トランジスタ P t 1 5 は基準電源 V D 0 に対して逆バイアスとなる方向(逆方向)にダイオード接続されている。これにより、基準電源 V D 0 生成時におけるリーク逆流電流の発生を阻止することができ、基準電源 V D 0 の電位を目的とする電位に維持することができる。10

#### 【0091】

(3) 各トランジスタ P t 1 1 ~ P t 1 5 のゲートは、高電位電源 V D E より高い電位を持つ電圧信号 E B が入力される場合にて、該電圧信号 E B の電圧降下時に低い電位側となる端子(ソース)に接続されている。これにより、それらトランジスタ P t 1 1 ~ P t 1 5 の抵抗値が増大することによる基準電源 V D 0 の電位の変動を抑止することができる。

#### 【0092】

(4) 電源作成回路 1 6 は、トランジスタ N t 9 ~ N t 1 2 が直列に接続されてなる電圧維持手段を備える。それらトランジスタ N t 9 ~ N t 1 2 のうち、トランジスタ N t 9 のゲートは基準電源 V D 0 と接続され、トランジスタ N t 1 0 ~ N t 1 2 のゲートはそれぞれの高電位側端子(ドレイン)と接続されている。これにより、各トランジスタ N t 9 ~ N t 1 2 を流れるリーク電流を極端に小さくすることができる。20

#### 【0093】

##### (第二実施形態)

以下、本発明を具体化した第二実施形態を図 1 0、図 1 1 に従って説明する。尚、本実施形態は、ジョイスティックを接続可能としたゲームポート(ジョイスティックポート)に用いられる入出力バッファに具体化した構成を説明するものであり、第一実施形態の入出力バッファ 1 1 において、入出力回路 1 2 及び入力回路 1 3 の構成を一部変更したものである。従って、その他の同様な構成部分には同一符号を付してその詳細な説明を一部省略する。30

#### 【0094】

図 1 0 は、本実施形態の入出力回路 2 2 の回路図である。

入出力回路 2 2 は、2つのN M O Sトランジスタ N t 1 、N t 2 で構成されるオープン・ドレイン型の出力機能を有する入出力回路である。これは、ジョイスティックポートに用いられる入出力バッファは、+5 V の電源にプルアップされる時間を用いてジョイスティックの位置情報を検出するものであり、入出力回路 2 2 は、H レベルの出力を必要としないためである。

#### 【0095】

図 1 1 (a)、(b) は、本実施形態の入力回路 2 3 の回路図である。40

入力回路 2 3 は、N M O Sトランジスタ N t 3 、抵抗 R 3 ~ R 5 、コンパレータ C M P 及びリファレンス回路 2 3 a を備える。

#### 【0096】

図 1 1 (a) に示すように、トランジスタ N t 3 のソースには抵抗 R 3 を介して電圧信号 E B R が入力され、ドレインには基準電源 V D 0 を抵抗 R 4 、R 5 により抵抗分圧した電位が入力される。このトランジスタ N t 3 のゲートとソースとは互いに接続され、そのノード I M の電位を持つ信号がコンパレータ C M P の反転入力端子に入力される。このコンパレータ C M P の非反転入力端子には、図 1 1 (b) に示すリファレンス回路 2 3 a からの基準電圧信号 I P が入力される。そして、コンパレータ C M P は、ノード I M の電位が

基準電圧信号 I P の電位より高いか低いかを比較し、その比較結果に応じて L レベル / H レベルの信号 X を出力する。

【0097】

リファレンス回路 23a は、抵抗 R 6 ~ R 8 、インバータ回路 INV1, INV2 、トランスマジックゲート TG1, TG2 を備える。

各トランスマジックゲート TG1, TG2 は、PMOS トランジスタと NMOS トランジスタとから構成される。トランスマジックゲート TG1 の入力端子には電源 VDE を抵抗 R 6 ~ R 8 により抵抗分圧した高電位側の電位を持つ信号が入力され、トランスマジックゲート TG2 の入力端子には電源 VDE を抵抗 R 6 ~ R 8 により抵抗分圧した低電位側の電位を持つ信号が入力される。

10

【0098】

トランスマジックゲート TG1 の PMOS トランジスタのゲートとトランスマジックゲート TG2 の NMOS トランジスタのゲートは互いに接続され、そのゲートにはコンパレータ CMP からの信号 X がインバータ回路 INV1 を介して反転入力される。また、トランスマジックゲート TG1 の NMOS トランジスタのゲート及びトランスマジックゲート TG2 の PMOS トランジスタのゲートには、信号 X がインバータ回路 INV1, INV2 を介して入力される。

【0099】

このリファレンス回路 23a では、上記コンパレータ CMP から出力される信号 X に応じてトランスマジックゲート TG1, TG2 が相補的にオン・オフ制御される。そして、リファレンス回路 23a は、トランスマジックゲート TG1 がオンされる時に基準電圧 REFL を持つ基準電圧信号 I P を出力し、トランスマジックゲート TG2 がオンされる時に基準電圧 REFL を持つ基準電圧信号 I P を出力する。

20

【0100】

以下、このような入力回路 23 を備える入出力バッファの作用を説明する。

通常、ジョイスティックポートに用いられる入出力バッファでは、入力を H レベルと認識する閾値電圧（以下、閾値電圧 V IH ） / 入力を L レベルと認識する閾値電圧（以下、閾値電圧 V IL ）が 3.0V 程度（電源電圧（高電位電源 VDE = 3.3V ） - 0.3V ）に設定される。このような入出力バッファでは、その閾値電圧によって動作するトランジスタのソースゲート間の電位差が 0.3V 程度と小さいため、トランジスタの動作が不安定になる可能性がある。

30

【0101】

本実施形態の入力回路 23 では、電圧信号 EBR が抵抗 R 3 を介してトランジスタ Nt3 のソースに入力されるようにしたことで、電圧信号 EBR ( 外部入力信号 ) の電圧レベルに応じて、ノード IM の電位を所定の閾値電圧（ 3.0V 程度）まで上昇させることができある。その際、トランジスタ Nt3 のドレインには、基準電源 VDO を抵抗 R 4, R 5 により抵抗分圧した電位が入力されるようにしたことで、ノード IM の電位が所定以上に上昇することが防止される。

【0102】

リファレンス回路 23a は、入力回路 23 のコンパレータ CMP から出力される信号 X が L レベルから H レベルに変化したタイミングで基準電圧 REFL ( 例えば 3.1V ) を持つ基準電圧信号 I P を出力する。そして、逆に信号 X が H レベルから L レベルに変化したタイミングで基準電圧 REFH ( 例えば 2.9V ) を持つ基準電圧信号 I P を出力する。即ち、リファレンス回路 23a は、シュミットトリガ回路として機能し、これによりコンパレータ CMP の出力を安定させることができる。

40

【0103】

従って、以上記述した本実施形態の入出力バッファでは、入力に対する閾値電圧の判定レベルが例えば 3.0V 程度と高い場合にも動作を安定させることができ、特にジョイスティックの位置情報を検出するためのジョイスティックポート等に有用な入出力バッファとすることができます。

50

## 【0104】

(第三実施形態)

以下、本発明を具体化した第三実施形態を図12、図13に従って説明する。尚、本実施形態は、上述した第一実施形態の入出力バッファ11（図1参照）の構成を一部用いて入力バッファ及び出力バッファの何れかの機能のみを有する構成を説明するものである。

## 【0105】

即ち、図12は、入力バッファの回路構成を示すブロック回路図であり、この入力バッファ31は、第一実施形態の入出力バッファ11から出力回路14を省略した構成である。尚、この入力バッファ31を上記したようなジョイスティックポート等に適用する場合には、入出力回路12及び入力回路13を第二実施形態の構成を持つ入出力回路22（図10）及び入力回路23（図11）に代えて構成してもよい。

10

## 【0106】

また、図13は、出力バッファの回路構成を示すブロック回路図であり、この出力バッファ41は、第一実施形態の入出力バッファ11から入力回路13を省略した構成である。

## 【0107】

以上記述した本実施形態のように、第一実施形態で説明した入出力バッファ11の回路を用いることにより、入力バッファ31のみ、或いは出力バッファ41のみを構成することも可能である。

## 【0108】

(第四実施形態)

20

以下、本発明を具体化した第四実施形態を図14～図18に従って説明する。本実施形態は、消費電力を低減する目的のため、電圧信号EB（外部入力信号）をHレベルに固定するためのプルアップ抵抗又はLレベルに固定するためのプルダウン抵抗を備えた入力バッファについて説明するものである。尚、第一実施形態と同様の構成部分には同一符号を付している。

## 【0109】

まず、プルアップ抵抗付き入力バッファについて詳述する。

図14（a）に示すように、通常、プルアップ抵抗を備えた入力バッファ51には、その動作試験時に該入力バッファ51とプルアップ抵抗との接続を電気的に切り離すための制御信号PCが入力される。

30

## 【0110】

詳述すると、図14（b）に示すように、入力バッファ51における電圧信号EBの入力端子は入力保護抵抗R9の一端と接続され、その抵抗R9の他端はプルアップ抵抗R10及びスイッチ素子としてのPMOSトランジスタPt21を介して高電位電源VDEに接続されている。そして、トランジスタPt21のゲートに制御信号PCが入力される。尚、トランジスタPt21のゲートは制御信号PCの入力レベルを安定させるためのプルダウン抵抗R11を介して低電位電源VSS（グランド）と接続されている。

## 【0111】

この入力バッファ51は、通常使用時には、制御信号PCによりトランジスタPt21がオンされ、電源VDEとプルアップ抵抗R10が接続される。一方、試験時には、制御信号PCによりトランジスタPt21がオフされ、電源VDEとプルアップ抵抗R10との接続が遮断される。これにより、試験時にはプルアップ抵抗R10を流れるリーク電流を阻止して入力バッファ51の内部回路の動作試験を正確に行うようにしている。

40

## 【0112】

ところで、この入力バッファ51にフェイルセーフ機能が働き、図14（c）に示すように、例えば電源VDE=0V、電圧信号EB=5V、制御信号=0Vの状態となる場合にはトランジスタPt21のソースードレイン間及びドレインーゲート間に5Vの電位差が生じる。従って、こうしたフェイルセーフ時におけるトランジスタPt21の損傷を防止する必要がある。

## 【0113】

50

図15は、フェイルセーフに対応した図14の入力バッファの説明図である。図15(a)に示すように、この入力バッファ51aは、制御信号PCがインバータ回路52及び NAND回路53を介してトランジスタPt21のゲートに入力される。トランジスタPt21のソースは、電源作成回路16により作成される基準電源VDO(図5参照)と接続されている。

#### 【0114】

このような入力バッファ51aでは、図15(b)に示すように、フェイルセーフ時(即ち高電位電源VDE=0Vの場合)において、トランジスタPt21のゲート(図中、P-Gate)にはHレベルの信号が入力される。

#### 【0115】

詳しくは、電源VDEが0Vの時にLレベルの制御信号PC(0V)が入力される場合、トランジスタPt21のゲートにはHレベルの信号が入力される。また、電源VDEが0Vの時にHレベルの制御信号PC(3.3V)が入力される場合にも、トランジスタPt21のゲートにはHレベルの信号が入力される。即ち、図15(b)に制御信号PCの条件として示すように、3.3Vの制御信号PCが入力される場合においても、実質的に0Vの制御信号PCが入力されることと同じにすることができる。従って、これらの結果、トランジスタPt21はオフされるため、損傷を受けない。

#### 【0116】

次いで、プルダウン抵抗付き入力バッファについて詳述する。

図16(a)に示すように、プルダウン抵抗を備えた入力バッファ61において、電圧信号EBの入力端子は入力保護抵抗R12の一端と接続され、その抵抗R12の他端はプルダウン抵抗R13及びスイッチ素子としてのNMOSトランジスタNt21を介して低電位電源VSSに接続されている。そして、トランジスタNt21のゲートには制御信号PCがインバータ回路62を介して入力される。尚、トランジスタNt21のゲートは制御信号PCの入力レベルを安定させるためのプルダウン抵抗R14を介して低電位電源VSSと接続されている。

#### 【0117】

そして、この入力バッファ61のフェイルセーフ時には、図16(b)に示すように、トランジスタNt21のソースードレイン間、ドレインーゲート間及びドレインーバックゲート間に5Vの電位差が生じる。従って、前記同様にフェイルセーフ時におけるトランジスタNt21の損傷を防止する必要がある。

#### 【0118】

図17は、フェイルセーフに対応した図16の入力バッファの説明図である。図17(a)に示すように、この入力バッファ61aは、制御信号PCがインバータ回路63、NAND回路64及び上記インバータ回路62を介してトランジスタNt21のゲートに入力される。トランジスタNt21のソースはラッチ回路65に接続され、このラッチ回路65は、図17(b)に示すように、電源VDEの供給時/非供給時に応じてトランジスタNt21のソース電位を低電位電源VSS或いは電圧信号BPの電位に制御する。

#### 【0119】

そして、このような入力バッファ61aでは、図17(b)に示すように、フェイルセーフ時(即ち高電位電源VDE=0Vの場合)において、トランジスタNt21のゲート(図中、N-Gate)にはLレベルの信号が入力される。

#### 【0120】

詳しくは、電源VDEが0Vの時にLレベルの制御信号PC(0V)が入力される場合、トランジスタNt21のゲートにはLレベルの信号が入力される。また、電源VDEが0Vの時にHレベルの制御信号PC(3.3V)が入力される場合にも、トランジスタNt21のゲートにはLレベルの信号が入力される。即ち、図17(b)に制御信号PCの条件として示すように、3.3Vの制御信号PCが入力される場合においても、実質的に0Vの制御信号PCが入力されることと同じにすることができる。従って、これらの結果、トランジスタNt21はオフされるため、損傷を受けない。

10

20

30

40

50

## 【0121】

以上記述した本実施形態によれば、プルアップ抵抗／プルダウン抵抗を備えた入力バッファ51a, 61aのフェイルセーフ時に素子が損傷を受けることを防止することができる。

## 【0122】

尚、上記各実施形態は、以下の態様で実施してもよい。

- ・第一実施形態では、5段のトランジスタPt11～Pt15によって電圧信号EBを電圧降下させるようにしたが、5段に限らずその他の複数段であってもよい。

## 【0123】

・第一実施形態において、電圧信号EBを電圧降下させる複数のMOSトランジスタ（保護回路）はPチャネルMOSトランジスタのみ、或いはNチャネルMOSトランジスタのみ、にて構成されるが、それら両方のトランジスタを用いて構成してもよい。

10

## 【0124】

・5段のトランジスタPt11～Pt15のうち、基準電源VD0に対して逆バイアス（逆方向）となるように接続するトランジスタは、トランジスタPt15に限らず、例えばトランジスタPt13やトランジスタPt14など、他のトランジスタであってもよい。同様に、図8に示す5段のトランジスタNt13～Nt17のうち、基準電源VD0に対して逆バイアスとなるように接続するトランジスタは、トランジスタNt13に限らず、その他のトランジスタNt14～Nt17の何れかであってもよい。即ち、逆バイアスとするトランジスタは、リーク逆流電流を阻止することのできる位置であればよい。

20

## 【0125】

- ・第一実施形態では、電圧維持手段として4段のNチャネルMOSトランジスタNt9～Nt12が設けられているが、4段に限らずその他の複数段であってもよい。

## 【0126】

・第一実施形態の入出力回路12（図2参照）を、図18に示すように変更することで、フェイルセーフに対応した入出力回路12aを構成することができる。詳述すると、この入出力回路12aにおいて、トランジスタPt1のゲートにはラッチ回路12bが接続されている。そして、このラッチ回路12bは、通常時には、高電位電源VDEに基づいて出力回路14（図1参照）から出力される制御信号AP（Hレベル／Lレベル）をトランジスタPt1のゲートに入力し、フェイルセーフ時には、基準電源VD0に基づいて制御信号APをトランジスタPt1のゲートに入力する。また、トランジスタPt2のゲートにはラッチ回路12cが接続され、このラッチ回路12cは、基準電源VD0に基づいてトランジスタPt2のゲートに低電位電源VSSを入力する。このような入出力回路12aでは、フェイルセーフ時にも素子の損傷を防いで回路を保護することができる。

30

## 【0127】

上記各実施形態の特徴をまとめると以下のようになる。

（付記1） 高電位電源及び低電位電源に接続され、外部から入力される外部電圧信号の電位を前記高電位電源に対応する電位に変換して基準電源を生成する基準電源生成手段を備えた入出力バッファにおいて、

40

前記基準電源生成手段は、前記高電位電源の非供給時に前記外部電圧信号の電位を所定電位まで電圧降下させて前記基準電源を生成するための複数のMOSトランジスタからなる保護手段を備え、前記複数のMOSトランジスタのバックゲートは前記高電位電源及び低電位電源以外の電位を持つノードに接続されてなることを特徴とする入出力バッファ。

（付記2） 前記複数のMOSトランジスタはそれぞれがダイオード接続されてなり、各ダイオード接続された複数のMOSトランジスタのうち少なくとも何れか1つは、前記基準電源に対して逆バイアスとなる方向に接続されていることを特徴とする付記1記載の入出力バッファ。

（付記3） 前記複数のMOSトランジスタは、それぞれNチャネルMOSトランジスタで構成されることを特徴とする付記1又は2記載の入出力バッファ。

（付記4） 前記NチャネルMOSトランジスタのゲートは、前記電圧降下時に高い電位

50

側となる端子に接続されることを特徴とする付記 3 記載の入出力バッファ。

(付記 5) 前記 N チャネル M O S トランジスタのバックゲートの電位は、前記電圧降下時に高い電位側となる端子の電位と前記低電位電源との電位差を抵抗分圧した電位であることを特徴とする付記 3 又は 4 記載の入出力バッファ。

(付記 6) 前記複数の M O S トランジスタは、それぞれ P チャネル M O S トランジスタで構成されることを特徴とする付記 1 又は 2 記載の入出力バッファ。

(付記 7) 前記 P チャネル M O S トランジスタのゲートは、前記外部電圧信号の電圧降下時に低い電位側となる端子に接続されることを特徴とする付記 6 記載の入出力バッファ。

(付記 8) 前記 P チャネル M O S トランジスタのバックゲートの電位は、前記外部電圧信号の電圧降下時に低い電位側となる端子の電位と前記低電位電源との電位差を抵抗分圧した電位であることを特徴とする付記 6 又は 7 記載の入出力バッファ。

10

(付記 9) 前記複数の M O S トランジスタは、少なくとも 5 個の M O S トランジスタを含むことを特徴とする付記 1 乃至 8 の何れか一記載の入出力バッファ。

(付記 10) 前記基準電源生成手段は、それが生成する前記基準電源と前記低電位電源との間に直列に接続された少なくとも 2 つの M O S トランジスタを含む電圧維持手段を備え、

前記少なくとも 2 つの M O S トランジスタのうち前記基準電源と接続される M O S トランジスタのゲートには該基準電源の電位が入力され、他の M O S トランジスタのゲートには各々の高電位側となる端子の電位が入力されることを特徴とする付記 1 乃至 9 の何れか一記載の入出力バッファ。

20

(付記 11) 前記少なくとも 2 つの M O S トランジスタは、それぞれ N チャネル M O S トランジスタで構成されることを特徴とする付記 1 0 記載の入出力バッファ。

(付記 12) 前記外部電圧信号の電位をそれより電位の低い電圧信号に調節して内部回路に動作電源を供給するための入力回路と、

前記内部回路から出力されるデータ信号を外部に出力するための出力回路と、入力時に前記出力回路の出力を無効化して前記外部電圧信号を前記入力回路に伝達し、出力時に前記出力回路から出力されるデータ信号を外部へ出力する入出力回路と、を備え、

前記入力回路、前記出力回路及び前記入出力回路には、それらの動作電源として前記基準電源生成手段により生成される基準電源が供給されることを特徴とする付記 1 乃至 1 1 の何れか一記載の入出力バッファ。

30

(付記 13) 前記外部電圧信号が前記高電位電源以下の電位である場合に該高電位電源の電位を持ち、前記外部電圧信号が前記高電位電源よりも高い電位である場合に前記外部電圧信号に連動した電位を持つ電圧信号を生成するトレラント回路を備え、

前記入出力回路、前記入力回路及び前記基準電源生成手段には、前記トレラント回路により生成される電圧信号が供給されることを特徴とする付記 1 2 記載の入出力バッファ。

(付記 14) 外部から入力される外部電圧信号が抵抗を介してソースに入力され、該ソースとゲートとが互いに接続され、動作電源として与えられる高電位電源に対応した電位を持つ基準電源が抵抗分圧されてドレインに入力される N チャネル M O S トランジスタと、

40

前記外部電圧信号と基準電圧信号とを比較し、その比較結果に基づいて前記外部電圧信号の電位が予め定めた閾値電圧より高いか否かを判定するコンパレータと、

を含む入力回路を備えたことを特徴とする入出力バッファ。

(付記 15) 前記入力回路は、前記コンパレータの出力に応じて前記閾値電圧を可変させるシュミットトリガ機能を有したりファレンス回路を備えることを特徴とする付記 1 4 記載の入出力バッファ。

(付記 16) 付記 1 乃至 1 1 の何れか一記載の基準電源生成手段を備えたことを特徴とする付記 1 4 又は 1 5 記載の入出力バッファ。

(付記 17) 付記 1 乃至 1 1 の何れか一記載の基準電源生成手段及び付記 1 4 又は 1 5 記載の入力回路の少なくとも何れか一方を備えたことを特徴とする入力バッファ。

50

(付記 1 8) 付記 1 乃至 1 1 の何れか一記載の基準電源生成手段を備えたことを特徴とする出力バッファ。

【0 1 2 8】

【発明の効果】

以上詳述したように、本発明によれば、動作電源の供給時／非供給時に関わらず、外部から入力される電圧信号に対して回路を保護することができる入出力バッファ、入力バッファ及び出力バッファを提供することができる。

【図面の簡単な説明】

【図 1】第一実施形態の入出力バッファのブロック回路図である。

【図 2】入出力回路の回路図である。

10

【図 3】トレラント回路の回路図である。

【図 4】入力回路の回路図である。

【図 5】電源作成回路の回路図である。

【図 6】保護回路の説明図である。

【図 7】電源作成回路の動作例を示す説明図である。

【図 8】保護回路の別の構成を示す説明図である。

【図 9】保護回路の別の構成を示す説明図である。

【図 1 0】第二実施形態の入出力回路の回路図である。

【図 1 1】第二実施形態の入力回路の回路図である。

【図 1 2】入力バッファのブロック回路図である。

20

【図 1 3】出力バッファのブロック回路図である。

【図 1 4】プルアップ付き入力バッファの説明図である。

【図 1 5】フェイルセーフに対応した図 1 4 の回路の説明図である。

【図 1 6】プルダウン付き入力バッファの説明図である。

【図 1 7】フェイルセーフに対応した図 1 6 の回路の説明図である。

【図 1 8】フェイルセーフに対応した入出力回路の説明図である。

【図 1 9】ジョイスティックポートの接続ピンの説明図である。

【図 2 0】ジョイスティックポートのアナログ入力の説明図である。

【図 2 1】従来の入出力バッファのブロック回路図である。

【図 2 2】従来の入出力回路の回路図である。

30

【図 2 3】従来のトレラント回路の回路図である。

【図 2 4】従来の入力回路の回路図である。

【図 2 5】従来の電圧生成器の回路図である。

【符号の説明】

V D E 高電位電源としての第 1 の高電位電源

V S S 低電位電源

E B 外部電圧信号としての電圧信号

V D O 基準電源

1 6 基準電源生成手段としての電源作成回路

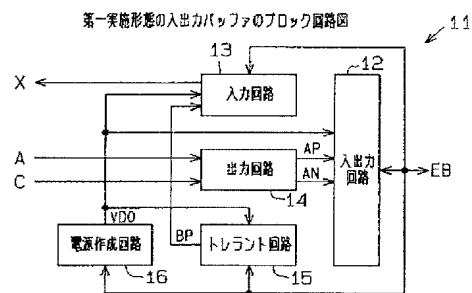
1 1 入出力バッファ

P t 1 1 ～ P t 1 5 保護手段を構成する複数のMOSトランジスタとしてのPチャネルMOSトランジスタ

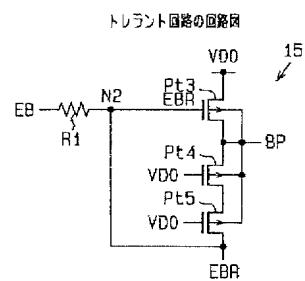
N t 1 3 ～ N t 1 7 保護手段を構成する複数のMOSトランジスタとしてのNチャネルMOSトランジスタ

40

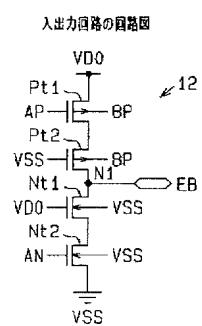
【図 1】



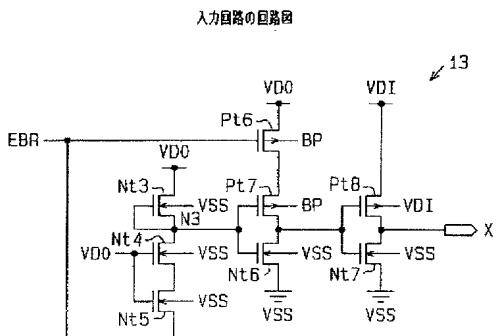
【図 3】



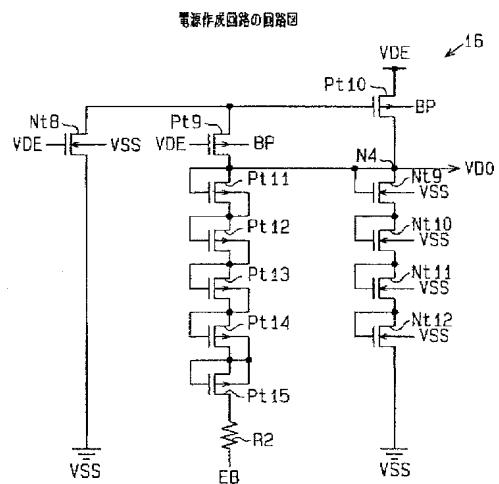
【図 2】



【図 4】



【図 5】

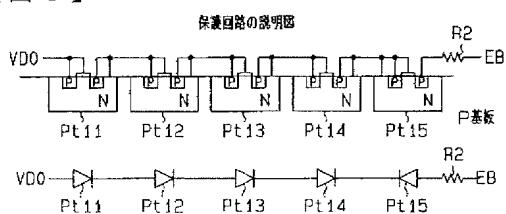


【図 7】

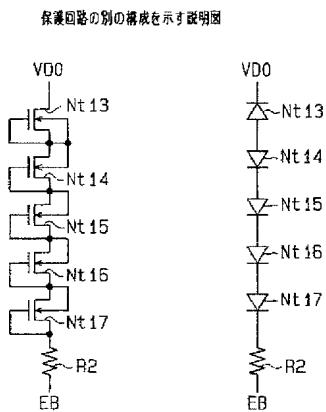
電源作成回路の動作例を示す説明図

VDE=ON	VDE=OFF		
	EB=VSS	EB=VDE	EB=VDE
	2.48V	5.59V	3.17V
Pt15がオート	2.17V	5.06V	2.96V
Pt14がオート	2.93V	4.52V	4.74V
Pt13がオート	3.08V	3.84V	2.25V
Pt12がオート	3.30V	3.30V	2.07V
Pt11がオート	3.30V	3.30V	2.07V
VDD	3.30V	3.30V	3.62V

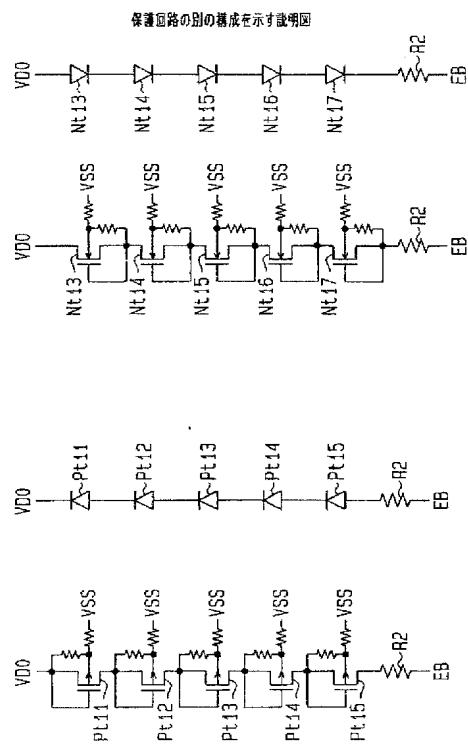
【図 6】



【図 8】

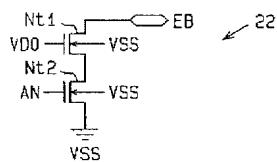


[ 四 9 ]



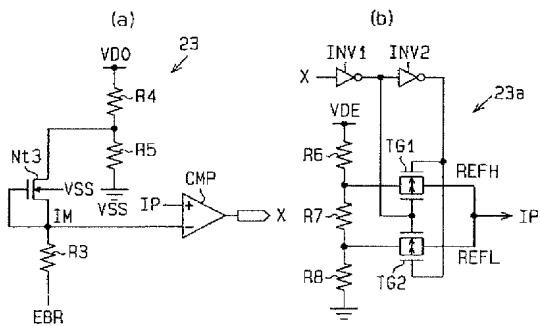
【☒ 1 0】

## 第二実施形態の入出力回路の回路図



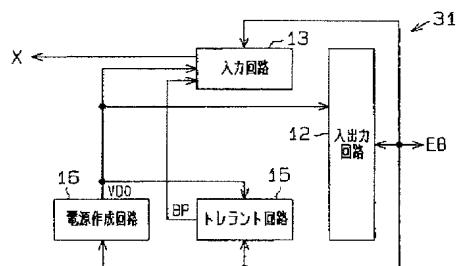
【図 1 1】

## 第二実施形態の入力回路の回路図



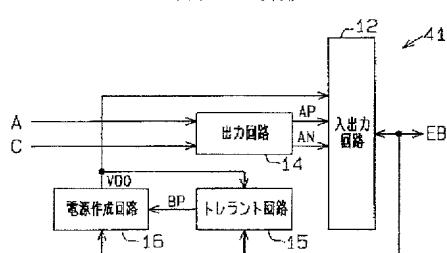
【 1 2 】

### 入力バックフードのブロック回路図

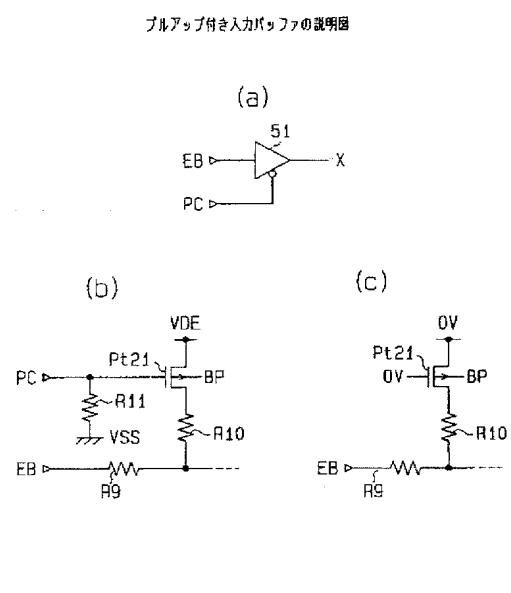


〔図 1.3〕

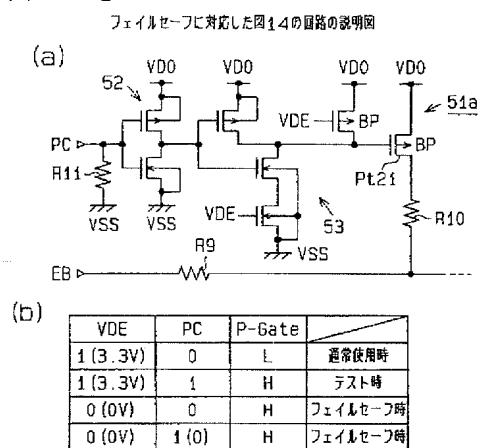
### 出力バックファのブロック回路図



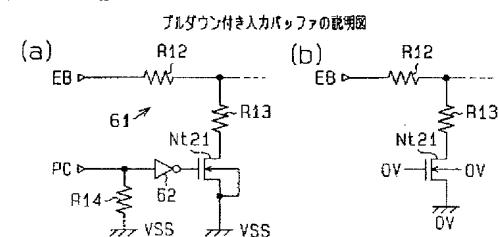
【図 1 4】



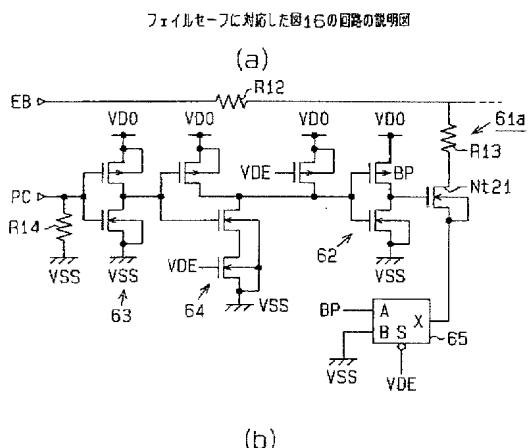
【図 1 5】



【図 1 6】



【図 1 7】

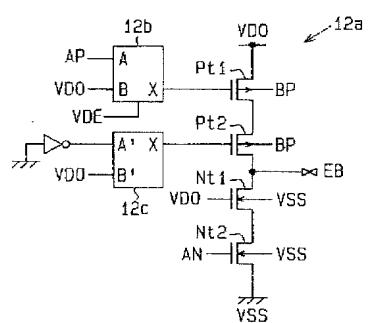


VDE	PC	N-Gate	
1 (3.3V)	0	H	通常使用時
1 (3.3V)	1	L	テスト時
0 (0V)	0	L	フェイルセーフ時
0 (0V)	1 (0)	L	フェイルセーフ時

A	B	S	X
BP	VSS	1 (3.3V)	VSS
		0 (0V)	BP

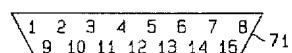
【図 1 8】

フェイルセーフに対応した入出力回路の説明図



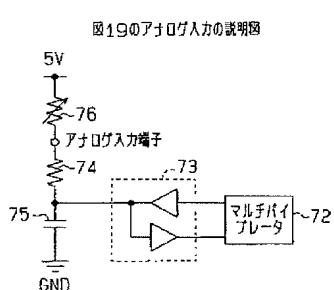
【図 1 9】

入出力ポートの接続ピンの説明図

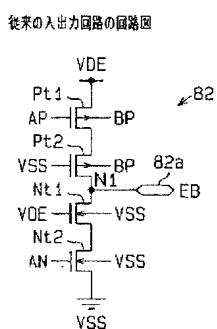


1, 8, 9, 15 : +5V電源  
 4, 5, 12 : Ground  
 2, 7, 10, 14 : デジタル入力 (A1, A2, B1, B2)  
 3, 6, 11, 13 : アナログ入力 (AX, AY, BX, BY)

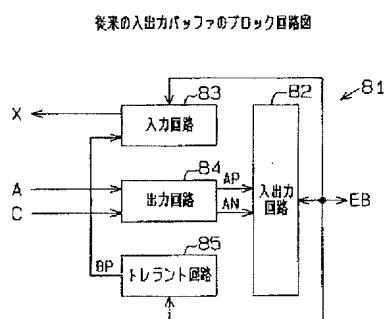
【図 2 0】



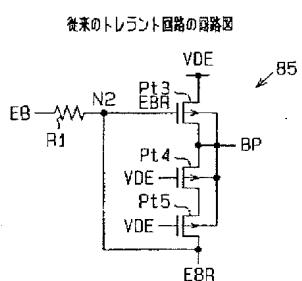
【図 2 2】



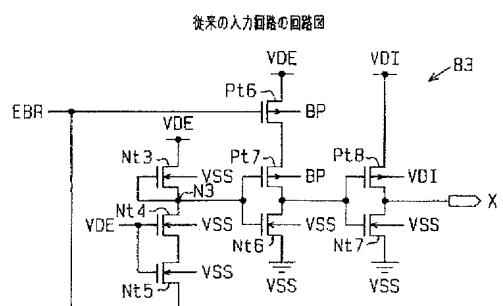
【図 2 1】



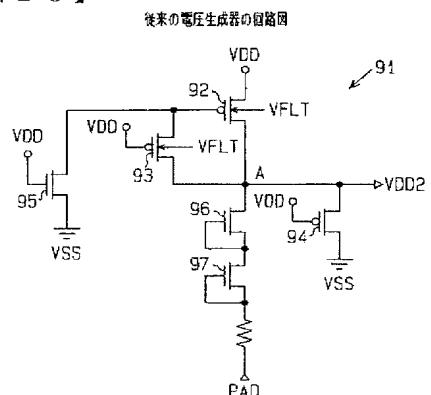
【図 2 3】



【図 2 4】



【図 2 5】



---

フロントページの続き

F ターム(参考) 5J032 AA02 AA06 AB02 AC18  
5J056 AA01 AA04 BB43 BB46 CC00 CC03 CC09 DD13 DD28 DD55  
EE12 KK02  
5J091 AA01 AA45 CA56 CA89 FA01 HA10 HA17 HA19 HA25 KA03  
KA04 KA11 KA17 KA33 KA36 KA37 KA38 MA22 TAO1